

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-122232  
 (43)Date of publication of application : 30.04.1999

(51)Int.CI. H04L 7/033  
 H03K 5/00

(21)Application number : 09-285139  
 (22)Date of filing : 17.10.1997

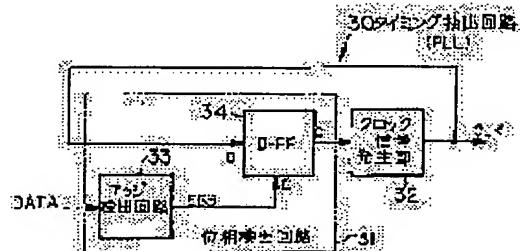
(71)Applicant : FUJITSU LTD  
 (72)Inventor : KUWATA NAOKI  
 YAMAMOTO TAKUJI

## (54) PHASE DETECTION CIRCUIT AND TIMING EXTRACT CIRCUIT USING THE PHASE DETECTION CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To optimize the relation of phases between a data signal and a clock signal even when a duty factor of the data signal is fluctuated.

**SOLUTION:** An edge detection circuit 33 of a phase detection circuit 31 that detects a phase difference between a data signal DATA and a clock signal CK generates an edge signal EGS at a leading and a trailing of the data signal DATA, a D flip-flop (D-FF) 34 stores and outputs a logic value of the clock signal on the production of the edge signal and latches the logic value till the succeeding edge signal is generated and then the D-FF provides an output of a mean phase of the clock signal phases at the leading and the trailing of the data signal DATA. A clock signal generating section 32 of the timing extract circuit 30 of a PLL configuration generates the clock CLK so that the mean phase is made zero, that is, the relation of phase of the data signal and the clock signal is optimized.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

**Best Available Copy**

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-122232

(43)公開日 平成11年(1999)4月30日

(51)Int.Cl.<sup>6</sup>  
H 04 L 7/033  
H 03 K 5/00

識別記号

F I  
H 04 L 7/02  
H 03 K 5/00

B  
K

審査請求 未請求 請求項の数12 OL (全 22 頁)

(21)出願番号	特願平9-285139	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号
(22)出願日	平成9年(1997)10月17日	(72)発明者	桑田 直樹 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
		(72)発明者	山本 拓司 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
		(74)代理人	弁理士 斎藤 千幹

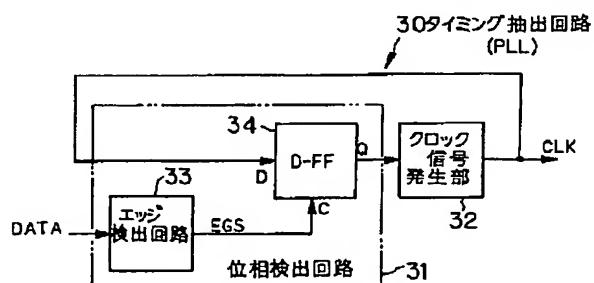
(54)【発明の名称】 位相検出回路及び位相検出回路を用いたタイミング抽出回路

(57)【要約】

【課題】 データ信号のデューティが変動してもデータ信号とクロック信号の位相関係を最適にする。

【解決手段】 データ信号DATAとクロック信号CLK間の位相差を検出する位相検出回路31において、エッジ検出回路33はデータ信号DATAの立ち上がり及び立ち下がりでエッジ信号EGSを発生し、D型フリップフロップ(D-FF)34はエッジ信号発生時におけるクロック信号の論理値を記憶して出力すると共に、該論理値を次のエッジ信号が発生するまで保持し、これにより、D-FFよりデータ信号DATAの立ち上がりと立ち下がりにおけるクロック信号位相の平均位相を出力する。PLL構成のタイミング抽出回路30のクロック信号発生部32は平均位相が零となるように、すなわち、データ信号とクロック信号の位相関係が最適となるようにクロックCLKを発生する。

本発明の原理図(構成)



## 【特許請求の範囲】

【請求項1】 データ信号とクロック信号間の位相差を検出する位相検出回路において、

データ信号の立ち上がりエッジ及び立ち下がりエッジをそれぞれ検出してエッジ信号を出力するエッジ検出回路、

第1の信号が入力されるクロック入力端子、第2の信号が入力されるデータ入力端子及び記憶した論理値を出力する出力端子を備え、第1信号の立ち上がりエッジの瞬間ににおける第2信号の論理値を記憶して出力すると共に、該論理値を次の第1信号の立ち上がりエッジが発生するまで保持するD型フリップフロップ(D-FF)を備え、

エッジ信号を前記第1信号としてD-FFのクロック入力端子に入力し、クロック信号を前記第2信号としてD-FFのデータ入力端子に入力し、D-FFの出力端子よりデータ信号とクロック信号間の位相差に応じた信号を取り出すことを特徴とする位相検出回路。

【請求項2】 請求項1記載の位相検出回路において、前記エッジ検出回路は、データ信号を所定時間遅延する遅延回路と、データ信号と遅延回路の出力信号を乗算してデータ信号の立ち上がり及び立ち下がりでパルスを有するエッジ信号を発生する乗算器を備えたことを特徴とする位相検出回路。

【請求項3】 請求項1記載の位相検出回路において、前記エッジ検出回路は、データ信号を所定時間遅延する遅延回路と、データ信号と遅延回路の出力信号との排他的論理演算を行ってデータ信号の立ち上がり及び立ち下がりでパルスを有するエッジ信号を発生するEXOR回路を備えたことを特徴とする位相検出回路。

【請求項4】 請求項1記載の位相検出回路において、前記エッジ検出回路は、データ信号を所定時間遅延する遅延回路と、データ信号と遅延回路の出力信号をミキシングしてこれらデータ信号と遅延回路の出力信号を乗算し、データ信号の立ち上がり及び立ち下がりでパルスを有するエッジ信号を発生するミキサを備えたことを特徴とする位相検出回路。

【請求項5】 請求項1記載の位相検出回路において、前記エッジ検出回路は、データ信号を微分する微分回路と、微分回路の出力信号を全波整流してデータ信号の立ち上がり及び立ち下がりでパルスを有するエッジ信号を発生する全波整流回路を備えたことを特徴とする位相検出回路。

【請求項6】 請求項5記載の位相検出回路において、前記微分回路をスタブを用いて構成したことを特徴とする位相検出回路。

【請求項7】 データ信号の識別タイミングを与えるクロック信号とデータ信号の位相関係が最適となるように制御するタイミング抽出回路において、

前記タイミング抽出回路をPLL回路により構成し、P

L回路は抽出したクロック信号とデータ信号間の位相差を検出する位相検出回路と、該位相差が最適となるようにクロック信号を発生するクロック信号発生部を備え、

前記位相検出回路は、

データ信号の立ち上がりエッジ及び立ち下がりエッジをそれぞれ検出してエッジ信号を出力するエッジ検出回路、

第1の信号が入力されるクロック入力端子、第2の信号が入力されるデータ入力端子及び記憶した論理値を出力する出力端子を備え、第1信号の立ち上がりエッジの瞬間ににおける第2信号の論理値を記憶して出力すると共に、該論理値を次の第1信号の立ち上がりエッジが発生するまで保持するD型フリップフロップ(D-FF)を備え、

エッジ信号を前記第1信号としてD-FFのクロック入力端子に入力し、クロック信号を前記第2信号としてD-FFのデータ入力端子に入力し、D-FFの出力端子よりデータ信号とクロック信号間の位相差に応じた信号を出力することを特徴とするタイミング抽出回路。

【請求項8】 請求項7記載のタイミング抽出回路において、

前記エッジ検出回路は、データ信号を所定時間遅延する遅延回路と、データ信号と遅延回路の出力信号を乗算してデータ信号の立ち上がり及び立ち下がりでパルスを有するエッジ信号を発生する乗算器を備えたことを特徴とする。

【請求項9】 請求項7記載のタイミング抽出回路において、前記エッジ検出回路は、データ信号を所定時間遅延する遅延回路と、データ信号と遅延回路の出力信号との排他的論理演算を行ってデータ信号の立ち上がり及び立ち下がりでパルスを有するエッジ信号を発生するEXOR回路を備えたことを特徴とするタイミング抽出回路。

【請求項10】 請求項7記載のタイミング抽出回路において、前記エッジ検出回路は、データ信号を所定時間遅延する遅延回路と、データ信号と遅延回路の出力信号をミキシングしてこれらデータ信号と遅延回路の出力信号を乗算し、データ信号の立ち上がり及び立ち下がりでパルスを有するエッジ信号を発生するミキサを備えたことを特徴とするタイミング抽出回路。

【請求項11】 請求項7記載のタイミング抽出回路において、前記エッジ検出回路は、データ信号を微分する微分回路と、微分回路の出力信号を全波整流してデータ信号の立ち上がり及び立ち下がりでパルスを有するエッジ信号を発生する全波整流回路を備えたことを特徴とするタイミング抽出回路。

【請求項12】 請求項11記載のタイミング抽出回路において、前記微分回路をスタブを用いて構成したことを特徴とするタイミング抽出回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は高速光通信システムの光受信回路においてデータ識別のタイミングを抽出するタイミング抽出回路、及び該タイミング抽出回路において使用される位相検出回路に係わり、特に、データ識別タイミングを与えるクロック信号とデータ信号の位相関係が最適になるように制御するタイミング抽出回路及びデータ信号とクロック信号間の位相差を検出する位相検出回路に関する。

## 【0002】

【従来の技術】高速光通信システムの光受信回路は、伝送により波形が歪んだり、あるいは、雑音がのったデータ信号をきれいなデジタル信号に変換するもので、いわゆるデータ再生を行うものである。かかるデータ再生に際して、光受信回路は受信したデータ信号からクロック信号を抽出し、このクロック信号を用いて識別部でデータを再生する。ところで、データ信号は歪みや雑音により識別余裕が非常に小さい状態になっている。このため、識別部へ入力されるデータ信号とデータ識別タイミングを与えるクロック信号の位相関係は、正確に最適識別点に合わせる必要があり、しかも、変動のないものにする必要がある。例えば、データ信号の中央でデータ識別用のクロック信号が立ち上がるようデータ信号とクロック信号の位相関係を制御する必要がある。

【0003】図20は光通信システムに用いる光受信機の構成例であり、1は光電変換回路で、入力光信号（デジタル信号）を電気信号に変換するもの、2は光電変換回路から出力される例えば10Gbpsのデータ信号を増幅する高周波増幅器、3はタイミング抽出回路で、受信したデータ信号からそのビットレートと同じ周波数のクロック信号を抽出するもの、4はデータ信号波形の整形を行う等化回路、5は識別回路で、タイミング抽出回路からのクロック信号を用いてデータ信号を識別するものである。かかる光受信機では、識別回路5に入力されるデータ信号とクロック信号との位相関係を最適点に保つ必要がある。図21はデータ信号とクロック信号の位相関係説明図であり、(a)はデータ信号、(b)はクロック信号である。図に示すように、信号線上にデータD0, D1, ..., Dnが確立された時点で(b)に示すようにデータの中央でクロック信号を発生させ、データを取り込むようにする。このようにすれば、正確にデータの識別/再生動作が可能になる。

【0004】ところで、実際のシステムでは、周囲の温度変化や電源電圧等の変動により、各回路の特性が微妙に変化し、データ信号とクロック信号との位相関係が最適点からずれてしまい、正確な識別動作ができなくなるという状況が発生する。特に、取り扱う信号速度が高速になる程、そのタイムスロットは短くなり、わずかな位相変動が発生しても、正確な識別ができなくなる可能性

が高くなってくる。

【0005】そこで、データ信号とクロック信号間の位相関係を検出して、最適な位相関係を保つように位相制御する回路がいくつか考案されている。図22は2個のD型フリップフロップ（D-FF）と2個のイクスクルーシブオアゲート（EXOR回路）を用いた自動位相制御回路の回路例である（IEEE Transactions on Electron Devices VOL. ED-32, No. 12 Dec. 1985 "A Self Correcting Clock Recovery Circuit", Hogge, pp. 2704-2706）。図中、U1, U4はD型フリップフロップ（D-FF）であり、第1の信号が入力されるクロック入力端子（C）、第2の信号が入力されるデータ入力端子（D）及び記憶した論理値を出力する出力端子（Q, \*Q）を備え、第1信号（C入力）の立ち上がりエッジの瞬間ににおける第2信号（D入力）の論理値を記憶して出力すると共に、該論理値を次の第1信号（C入力）の立ち上がりエッジが発生するまで保持する。U2, U3はEXOR回路で、それぞれU1, U4のD入力、Q出力の排他的論理和演算を行うもの、U5はコンパレータで、U2, U3の出力信号の平均値（R, C構成の低域フィルタ出力）を比較し、差に応じた電圧信号を出力するもの、U6は電圧制御発振器であり、差信号に応じた周波数のクロック信号CLKを出力するもの、U7はクロックCLKの正転及び反転信号を出力するゲートである。

【0006】2個のD型フリップフロップU1, U4（D-FF）のクロック信号の位相を反転することによりU1, U4（D-FF）の入力信号及び出力信号a, b, cはそれぞれ図23の波形図で示すようになる。U2, U3（EXOR回路）はそれぞれU1, U4（D-FF）の入力信号/出力信号a, b及びb, cの位相情報をそれぞれ検出し、検出信号d, eの平均値を低域フィルタを介してコンパレータU5に入力する。コンパレータU5はU2, U3（EXOR回路）の出力信号d, eの平均値の差を出力し、電圧制御発振器U6は該差に応じた周波数/位相のクロック信号を出力する。ゲートU7はクロック信号をU1（D-FF）のクロック入力端子（C端子）に入力し、クロック信号の反転信号をU4（D-FF）のクロック入力端子（C端子）に入力する。以後、新たなクロック信号に基づいて上記動作が繰り返される。かかるフィードバック制御により、コンパレータU5の2つの入力、すなわち、U2（EXOR回路）、U3（EXOR回路）の出力が等しくなり、この時、データの中央でクロック信号が発生するようになる。なお、図23ではデータ信号aのセンターでクロック信号gが発生するようになっているが、最初はクロック信号gの位相がセンターより進みまたは遅れている。かかるクロック信号gの位相進み/遅れによりU2（EXOR回路）の出力信号のパルス幅が減小/増大する。しかし、U3（EXOR回路）の出力信号のパルス幅は位相の進み/遅れに関係なく一定である。このため、コンパレ-

タU5より位相進み／遅れに応じた差信号が output する。しかし、上記フィードバック制御で最終的にU2(E XOR回路)、U3(E XOR回路)の出力が等しくなり、クロック信号gがデータのセンターで発生するようになる。

【0007】データ信号aとクロック信号gの位相関係が最適の場合、E XOR回路出力のパルス幅はタイムスロットの半分である(データのビットレート程度の動作速度が要求される)。しかし、引込み時等のようにクロック信号の位相がデータ信号に対して進んでいる場合には、さらに狭いパルスとなる。このため、E XOR回路にはより高速動作が要求される問題があり、特に、デバイスの高速性能に十分な余裕の無いシステムでは、動作不良に陥る可能性がある。

【0008】図24は図22の問題点を解決するためのタイミング抽出回路の構成図であり、3はタイミング信号抽出回路、4は等化回路、5は識別回路でD型フリップフロップ(D-F F)5aを有している。フリップフロップ5aのデータ入力端子Dにデータを、クロック入力端子CにクロックCLKを入力することにより、データをクロック信号の立ち上がりでラッ奇すると共に次の立ち上がりまで保持するようになっている。タイミング抽出回路3において、3aはクロック信号とデータ信号の位相差に応じた電圧信号を出力する位相検出回路、3bは入力電圧に応じた周波数で発振する電圧制御発振器(VCO)、3cはクロック位相を180°遅延する遅延部で、該遅延部の出力が第1フリップフロップ5aのC端子にクロックとして入力されている。位相検出回路3aにおいて、3a-1はD型フリップフロップ(D-F F)、3a-2はローパスフィルタ(LPF)ある。電圧制御発振器3bから出力されるクロック信号がD型フリップフロップ(D-F F)3a-1のデータ入力端子(D端子)に入力され、データ信号がクロック入力端子(C端子)に入力され、D型フリップフロップ(D-F F)3a-1の出力がローパスフィルタ3a-2で平均化されて電圧制御発振器3bに入力するようになっている。

【0009】D-F Fはクロック入力端子(C端子)に入力された信号(データ信号DATA)の立ち上がりで、データ入力端子(D端子)に入力された信号(クロック信号CLOCK)の論理値("1"または"0")を記憶して出力すると共に、該論理値を次のデータ信号の立ち上がりまで保持する。従って、図25の(1)に示すようにクロック信号CLOCKの位相がデータ信号DATAより遅れている場合には、D-F Fよりローレベル(=E<sub>L</sub>)の信号D-F F OUTがoutputする。また、図25の(2)に示すようにクロック信号CLOCKの位相がデータ信号DATAより進んでいる場合には、D-F Fよりハイレベル(=E<sub>H</sub>)の信号D-F F OUTがoutputする。

【0010】この結果、ローパスフィルタ3a-2からはクロック信号CLOCKとデータ信号DATAの位相差に比例

した電圧信号が発生し、電圧制御発振器3bは位相差が零となるように該電圧信号に応じた周波数で発振してクロック信号CLOCKを出力する。以後、上記フィードバック制御が行われ、クロック信号とデータ信号の位相が一致するようになる。遅延部3cはクロック信号CLOCKの位相を180°遅延し、データ信号DATAのセンターで立ち上がるクロックCLKを出力する。この結果、識別回路5はマージンの一番大きいデータのセンターでデータ識別をすることができる。すなわち、データ信号DATAとクロック信号CLKの位相関係を最適にできる。

【0011】ところで、図24の位相検出回路3aにおいてD-F Fのラッチ制御のためにデータ信号DATAの立ち上がりだけが用いられている。かかる方法でも、立ち上がりと立ち下がりのタイミングが一致している場合(デューティが100%の場合)は何ら問題は無い。しかし、タイミングがずれた場合は(デューティが100%でない場合)、データ信号DATAのセンターでクロック信号CLKを発生できなくなり、識別回路5においてデータのセンターでデータ識別するができなくなってしまう。以上の様子を図26に示す。デューティに関係なく、位相検出回路3aはデータ信号DATAの立ち上がりとクロック信号CLOCKの立ち上がりが一致するように制御する。この結果、デューティが100%ならば、図26の(1)に示すように立ち上がり一致から180°遅れたクロックCLKはデータ信号DATAの中央で立ち上がる。しかし、デューティが100%より小さい場合には、図26の(2)に示すように立ち上がり一致から180°遅れたクロックCLKはデータ信号DATAの中央で立ち上がらず、デューティが100%からずれた分だけデータ信号DATAの中央からずれる。

【0012】図27は図24の問題点を解決するための従来のタイミング抽出回路の構成図であり、図24と同一部分には同一符号を付している。タイミング抽出回路3において、3aはクロック信号CLOCKとデータ信号DATAの位相差に応じた電圧信号を出力する第1の位相検出回路、3dはクロック信号CLOCKとデータ信号の反転信号\*DATAの位相差に応じた電圧信号を出力する第2の位相検出回路、3eは入力されたクロックCLOCK INの位相を制御してクロック信号CLOCKを出力する位相制御回路、3fは第1、第2の位相検出回路3a、3bの出力信号の差に応じた電圧信号を位相制御回路3eに入力する差動アンプ、3gは入力データ信号DATA-INを反転する反転ゲート、3cはクロック位相を180°遅延する遅延部で、該遅延部の出力が識別回路5にクロックCLKとして入力されている。

【0013】位相検出回路3aにおいて、3a-1はD型フリップフロップ(D-F F)、3a-2はローパスフィルタである。位相制御回路3eから出力されるクロック信号CLOCKがD型フリップフロップ(D-F F)3a-1のデータ入力端子(D端子)に入力され、データ信号DATAがク

ロック入力端子（C端子）に入力され、D型フリップフロップ（D-F F）3a-1のQ出力がローパスフィルタ3a-2で平均化されて差動増幅器3fの正転入力端子に入力される。位相検出回路3dにおいて、3d-1はD型フリップフロップ（D-F F）、3d-2はローパスフィルタである。位相制御回路3eから出力されるクロック信号CLOCKがD型フリップフロップ（D-F F）3d-1のデータ入力端子（D端子）に入力され、データ信号を反転した反転データ信号\*DATAがクロック入力端子（C端子）に入力され、D型フリップフロップ（D-F F）3d-1の\*Q出力がローパスフィルタ3d-2で平均化されて差動増幅器3fの反転入力端子に入力される。\*は論理値（“1”、“0”）の反転を意味する。

【0014】この図27のタイミング抽出回路3は、D-F Fを1個追加して、データの立ち上がりだけでなく、立ち下がりにおいてもクロックの位相関係を検出し、2つの位相検出回路3a、3dの出力の平均をとることにより、データのデューティ変動に対応できるようにしたものである。すなわち、データ信号の立ち上がり点と立ち下がり点の両方でそれぞれクロック位相を検出し、位相検出回路3aのQ出力と位相検出回路3bの反転出力（\*Q出力）が等しくなるように位相制御回路3eでクロックの位相制御を行う。この結果、クロックCLOCKの位相を遅延部3cで180°遅延するとデータのセンターでクロックCLKが発生するようになる。

#### 【0015】

【発明が解決しようとする課題】図27のタイミング抽出回路によれば、デューティ変動があってもデータのセンターでクロック信号を発生することができる。しかし、かかるタイミング抽出回路は、図24の構成に比べて、D-F Fが追加されることによって回路規模が増加するという問題がある。また位相検出回路を2個必要とするため、これら両者間の位相調整を行わなければならぬという問題がある。

【0016】以上から、本発明の目的は、高速動作が可能であり、また、データ信号のデューティが変動しても該データ信号とクロック信号の位相関係を最適に制御できるタイミング抽出回路を提供することである。本発明の別の目的は、回路規模を小さくでき、しかも、位相調整箇所を削減することができるタイミング抽出回路を提供することである。本発明の別の目的は、高速動作が可能であり、しかも、回路規模を小さくでき、更には、位相調整箇所を削減することができる位相検出回路を提供することである。

#### 【0017】

【課題を解決するための手段】図1及び図2は本発明の原理説明図である。図1において、30はタイミング抽出回路としてのPLL回路であり、31はクロック信号CLKとデータ信号DATA間の位相差を検出する位相検出回路、32は該位相差が最適となるようにクロック

信号を発生するクロック信号発生部である。位相検出回路31において、33はデータ信号DATAの立ち上がりエッジ及び立ち下がりエッジをそれぞれ検出してエッジ信号EGSを出力するエッジ検出回路、34は第1の信号が入力されるクロック入力端子（C端子）、第2の信号が入力されるデータ入力端子（D端子）及び記憶した論理値を出力する出力端子（Q端子）を備え、第1信号の立ち上がりエッジの瞬間ににおける第2信号の論理値を記憶して出力すると共に、該論理値を次の第1信号の立ち上がりエッジが発生するまで保持するD型フリップフロップ（D-F F）である。エッジ信号EGSを前記第1信号としてD-F Fのクロック入力端子（C端子）に入力し、クロック信号CLKを前記第2信号としてD-F Fのデータ入力端子に入力し、D-F Fの出力端子よりデータ信号DATAとクロック信号CLK間の位相差に応じた信号を出力する。図2において、DATAはデータ信号波形、EGSはエッジ信号波形、CLKはクロック信号波形である。

【0018】データ信号DATAのデューティが100%であれば、データ信号DATAの立ち上がりエッジと立ち下がりエッジのクロック信号CLKに対する位置が同じになる。このため、エッジ検出回路33が無い場合（図24参照）と同じ動作をする。一方、デューティが100%より小さく、しかも、データ信号DATAの立ち上がりがクロック信号CLKの立ち上がりと一致しているとすれば、データ信号DATAの立ち下がりに対してクロック信号CLKの位相が遅れて見える（図2(a)参照）。D-F Fの出力からは、両者（立ち上がり、立ち下がり）のクロック信号CLKに対する位相差の平均が出力されるから、全体としてクロック信号CLKの位相が遅れているように見える。そこで、この状態よりもクロック信号の位相を進めるようにクロック信号発生部32はクロック信号CLKを発生する。

【0019】クロック信号CLKの位相が進むと、データ信号DATAの立ち上がりよりクロック信号CLKの位相が進み、また、データ信号の立ち下がりからクロック信号の位相の遅れが小さくなる。このデータ信号DATAの立ち上がりからのクロック信号CLKの位相の進み量とデータ信号DATAの立ち下がりからのクロック信号CLKの位相の遅れ量が一致すると（図2(b)参照）、D-F Fの出力の平均値は目標値（位相が一致したこと示す値）になる。このときのクロック信号CLKの位相を180°遅らせると、遅延クロックの立ち上がりは丁度データのセンターと一致する。以上は、デューティが100%以下になった場合であるが、100%以上になっても位相の進み、遅れが逆になるだけで動作は同様である。すなわち、デューティが100%でなくてもクロックをデータのセンターで発生することができ、識別回路におけるデータ識別を正確に行うことができる。また、1つのD-F Fとエッジ検出回路により位相検出回路を構成

できるため、高速動作が可能であり、しかも、回路規模を小さくでき、更には、位相調整する必要がない。

【0020】エッジ検出回路33は、種々の構成が可能である。第1のエッジ検出回路は、データ信号を所定時間遅延する遅延回路と、データ信号と遅延回路の出力信号を乗算してデータ信号の立ち上がり及び立ち下がりでパルスを有するエッジ信号を発生する乗算器を備えている。第2のエッジ検出回路は、データ信号を所定時間遅延する遅延回路と、データ信号と遅延回路の出力信号との排他的論理演算を行ってデータ信号の立ち上がり及び立ち下がりでパルスを有するエッジ信号を発生するEXOR回路を備えている。第3のエッジ検出回路は、データ信号を所定時間遅延する遅延回路と、データ信号と遅延回路の出力信号をミキシングしてこれらデータ信号と遅延回路の出力信号を乗算し、データ信号の立ち上がり及び立ち下がりでパルスを有するエッジ信号を発生するミキサを備えている。第4のエッジ検出回路は、データ信号を微分する微分回路と、微分回路の出力信号を全波整流してデータ信号の立ち上がり及び立ち下がりでパルスを有するエッジ信号を発生する全波整流回路を備えている。この場合、微分回路をスタブを用いて構成できる。

#### 【0021】

##### 【発明の実施の形態】

###### (A) 位相検出回路

###### (a) 構成

図3は本発明の位相検出回路の構成図である。位相検出回路は、受信したデータ信号DATAとクロック信号CLOCK間の位相差を検出するものであり、エッジ検出回路33とD型フリップフロップ(D-F F)34で構成されている。エッジ検出回路33は、データ信号DATAの立ち上がりエッジ及び立ち下がりエッジをそれぞれ検出してエッジ信号EGSを出力する。D型フリップフロップ(D-F F)34は、第1の信号が入力されるクロック入力端子(C端子)、第2の信号が入力されるデータ入力端子(D端子)及び記憶した論理値を出力する出力端子(Q端子)を備え、第1信号の立ち上がりの瞬間ににおける第2信号の論理値を記憶して出力すると共に、該論理値を次の第1信号の立ち上がりまで保持する。

【0022】実施例では、エッジ信号EGSを前記第1信号としてD-F Fのクロック入力端子(C端子)に入力し、クロック信号CLOCKを前記第2信号としてD-F Fのデータ入力端子(D端子)に入力し、データ信号DATAの立ち上がり、立ち下がり(エッジ信号EGS)でクロック信号の論理値("0"または"1")を記憶し、該記憶した論理値に応じたレベルを位相検出信号PDSとして出力するようになっている。エッジ信号EGSの位相がクロック信号CLOCKの位相より進んでいる場合には、図25で説明したように、D-F Fよりローレベル( $=E_L$ )の位相検出信号が出力し、エッジ信号E

GSの位相がクロック信号CLOCKの位相より遅れている場合には、D-F Fよりハイレベル( $E_H$ )の位相検出信号が出力する。

#### 【0023】(b) デューティが100%以下の場合の位相検出

デューティが100%より小さく、しかも、データ信号DATAの立ち上がりがクロック信号CLKの立ち上がりと一致しているとすれば、データ信号DATAの立ち下がりに対してクロック信号CLKの位相が遅れる。かかる状況において、データ信号の立ち上がりによるD-F F出力の平均値は所定値(例えば $E_0$ )となるが、立ち下がりによるD-F F出力はローレベル(例えば $E_L$ ボルト)となる。このローレベル期間は位相遅れ量に依存し、位相検出信号PDSの平均レベルは遅れ位相に応じた値になる。

【0024】上記の状態よりもクロック信号CLKの位相が進むと、データ信号DATAの立ち上がりよりクロック信号CLKの位相が進み、また、データ信号の立ち下がりからのクロック信号の位相の遅れが小さくなる。このため、データ信号の立ち上がりによるD-F F出力はハイレベル(例えば $E_H$ ボルト)となり、ハイレベル期間は位相進み量に依存する。また、データ立ち下がりによるD-F F出力はローレベルとなり、ローレベル期間は位相遅れ量に依存する。従って、位相検出信号PDSの平均レベルはハイレベル期間とローレベル期間の差に応じた値、換言すれば、データ立ち下がりにおけるクロック信号の位相進み量とデータ立ち下がりにおけるクロック信号の位相遅れ量の差に応じた値になる。そして、データ信号DATAの立ち上がりからのクロック信号CLKの位相の進み量とデータ信号DATAの立ち下がりからのクロック信号CLKの位相の遅れ量が等しくなると、位相検出信号PDSの平均レベルは $E_0$ となる。

#### 【0025】(c) デューティが100%以上の場合の位相検出

デューティが100%より大きく、しかも、データ信号DATAの立ち上がりがクロック信号CLKの立ち上がりと一致しているとすれば、データ信号DATAの立ち下がりに対してクロック信号CLKの位相が進む。かかる状況において、データ信号の立ち上がりによるD-F F出力の平均値は所定値(例えば $E_0$ )となるが、立ち下がりによるD-F F出力はハイレベル(例えば $E_H$ ボルト)となる。このハイレベル期間は位相進み量に依存し、位相検出信号PDSの平均レベルは進み位相に応じた値になる。

【0026】上記の状態よりもクロック信号の位相が遅れると、データ信号DATAの立ち上がりよりクロック信号CLKの位相が遅れ、また、データ信号の立ち下がりからのクロック信号の位相の進み量が小さくなる。このため、データ信号の立ち上がりによるD-F F出力はローレベル(例えば $E_L$ ボルト)となり、ローレベル期

間は位相遅れ量に依存する。また、データ立ち下がりによるD-F-F出力はハイレベルとなり、ハイレベル期間は位相進み量に依存する。従って、位相検出信号PDSの平均レベルはハイレベル期間とローレベル期間の差に応じた値、換言すれば、データ立ち上がりにおけるクロック信号の位相遅れ量とデータ立ち下がりにおけるクロック信号の位相進み量の差に応じた値になる。

【0027】そして、データ信号DATAの立ち上がりからのクロック信号CLKの位相の遅れ量とデータ信号DATAの立ち下がりからのクロック信号CLKの位相の進み量が等しくなると、位相検出信号PDSの平均レベルはE<sub>0</sub>となる。以上より、図3の位相検出回路によれば、1つのD-F-Fでデータ信号の立ち上がりと立ち下がりの両方の時点におけるクロック位相を検出し、それぞれの位相の平均値に応じた値を有する信号を出力することができる。尚、立ち上がりからの位相の進み量と立ち下がりからの位相の遅れ量の平均がデータの位相と一致するためには、立ち上がりと立ち下がりの生起確率が等しくなければならない。光通信システムにおいては、伝送される信号にスクランブルがかけられているため、ほとんどランダムでマーク率1/2の信号であると考えられる。このとき、ビットの境目で立ち上がりが発生する確率と立ち下がりが発生する確率は共に1/4となる。また、マーク率をmとした場合においても、それぞれの発生する確率は共にm(1-m)となる。従って、それぞれの位相の偏差量の平均値を用いれば、データとの位相関係を一定に保つことができる。

【0028】(d) エッジ検出検出回路の第1実施例 図4はエッジ検出回路の第1実施例の構成図、図5は動作波形図であり、33はエッジ検出回路、34はD型フリップフロップ(D-F-F)である。尚、データ信号DATAの波形は矩形波で示しているが実際には伝送により、あるいは、雑音の影響でゆがんだ波形になっている。エッジ検出回路33において、41はデータ信号DATAを所定時間遅延する遅延回路、42はデータ信号DATAと遅延回路の出力信号DATA'を乗算してデータ信号の立ち上がり及び立ち下がりでパルスを有するエッジ信号EGSを発生する乗算器である。図5に示すように、"0"のレベルを+、"1"のレベルを-とすれば、DATA, DATA'の論理値が同じ場合には積は+、論理値が異なれば積は-となる。データ信号DATAの立ち上がりと立ち下がりのみで論理値が異なるため、図5に示すように該部分で立ち上がるパルスを有するエッジ信号EGSが得られる。

【0029】(e) エッジ検出検出回路の第2実施例 図6はエッジ検出回路の第1実施例の構成図、図7は動作波形図であり、33はエッジ検出回路、34はD型フリップフロップ(D-F-F)である。エッジ検出回路33において、41はデータ信号DATAを所定時間遅延する遅延回路、43はデータ信号DATAと遅延回路の

出力信号DATA'の排他的論理和演算を行ってデータ信号の立ち上がり及び立ち下がりでパルスを有するエッジ信号EGSを発生するEXOR回路(イクスクリーンブオアゲート)である。図7に示すようにデータ信号DATAの立ち上がりと立ち下がりのみで論理値が異なるため、該部分で立ち上がるエッジ信号EGSがEXOR回路43から出力される。

【0030】(f) エッジ検出検出回路の第3実施例 図8はエッジ検出回路の第3実施例の構成図、図9はミキサの論理表であり、33はエッジ検出回路、34はD型フリップフロップ(D-F-F)である。エッジ検出回路33において、41はデータ信号DATAを所定時間遅延する遅延回路、44はDBM(ダブルバランスドミキサ)であり、2つの入力信号DATA, DATA'を乗算して出力する乗算器の機能を有している。ダブルバランスドミキサ44は、第1の信号IN1(例えばデータ信号DATA)が一次側コイルに入力され、二次側コイルの中間タップがアースされた第1の結合用トランスト1と、第2の信号IN2(例えば遅延データ信号DATA')が一次側コイルに入力され、二次側コイルの中間タップより出力信号を取り出す第2の結合用トランスト2と、4つのダイオードが図示の極性でループ接続され、その第1の対角位置に第1の結合トランスト1の二次側コイルが接続され、第2の対角位置に第2の結合トランスト2の二次側コイルが接続されたダイオード部DMを有している。

【0031】DBM(ダブルバランスドミキサ)は、第1、第2信号IN1, IN2の極性の組み合わせに応じて各部が図9の論理表で示すような極性を示し、出力端子より第1、第2信号IN1, IN2を乗算した極性の信号OUTが outputする。このように、DBM(ダブルバランスドミキサ)は乗算機能を備えているため、第1、第2信号IN1, IN2としてデータ信号DATA、遅延データ信号DATA'を入力すると、図4と同様にデータ信号DATAの立ち上がり、立ち下がりでパルスを有するエッジ信号EGSが得られる。

【0032】(g) エッジ検出検出回路の第4実施例 図10はエッジ検出回路の第4実施例の構成図、図11は動作波形図であり、33はエッジ検出回路、34はD型フリップフロップ(D-F-F)である。エッジ検出回路33において、45はデータ信号DATAを微分し、その立ち上がりで正パルス、立ち下がり負パルスを発生する微分回路、46は微分回路の出力を全波整流してデータ信号DATAの立ち上がりと立ち下がりで立ち上がるパルスを有するエッジ信号EGSを出力する全波整流回路である。全波整流回路46は、入力信号の正転信号と反転信号を出力するゲート46aと、抵抗とダイオードで構成された第1、第2の半波整流器46b, 46cと、第1、第2の半波整流器の出力を合成するオアゲート46dで構成される。

【0033】微分回路45の入出力信号a, b及び全波整流回路46の各部の信号c～f及び出力信号gは図11の動作波形図で示すようになる。すなわち、出力信号gは入力信号aの立ち上がり、立ち下がりで立ち上がるパルスを有するエッジ信号を示す。従って、図10のエッジ検出回路33より、データ信号DATAの立ち上がり、立ち下がりで立ち上がるパルスを有するエッジ信号EGSがえられる。図12は微分回路45をスタブ(stub)で構成した第4実施例の変形例であり、45aはスタブである。スタブ45aは終端が短絡された分岐線路を有する線路で、図示のように接続することにより微分回路を構成する。すなわち、10Gbpsのデータ信号aは一端よりスタブ45aを伝搬し、他端で反射して遅延データ信号bとして戻ってくる。信号bの遅延時間はスタブ45aの長さにより調整でき、従って、図13に示すような遅延時間τが得られるようにその長さを設定すれば、信号a, bの合成信号はcのようになり、微分信号を得ることができる。

#### 【0034】(B) タイミング抽出回路

##### (a) 構成

図14は光受信機等に使用可能なタイミング抽出回路の構成図であり、30はタイミング抽出回路、50は識別回路である。タイミング抽出回路30は、等化回路(図示せず)から出力する等化波形を有するデータ信号DATAを入力され、データ識別タイミングとなるクロック信号CLKを発生するものであり、PLLで構成され、位相検出回路31、クロック信号発生器32を有している。識別回路50はクロックCLKの発生タイミングでデータ信号DATAを識別して出力する。位相検出回路31は図3に示す位相検出回路と同一の構成を備えている。すなわち、位相検出回路31はエッジ検出回路33とD型フリップフロップ(D-FF)34を備え、データ信号DATAの立ち上がりにおけるクロック信号の位相と立ち下がりにおけるクロック信号の位相を平均した位相に応じた位相検出信号PDSを出力する。従って、平均位相が進み位相であれば、レベルE<sub>H</sub>の位相検出信号PDSを出力し、平均位相が遅れ位相であればレベルE<sub>L</sub>の位相検出信号PDSを出力する。

【0035】クロック信号発生部32は、位相検出信号PDSを入力され、そのレベルを変換するレベル変換器61と、レベル変換器の出力信号を平滑化するループフィルタ62と、ループフィルタ出力に応じた周波数のクロック信号CLK及び該クロック信号位相を180°遅延したクロック信号CLK'を発生する電圧制御発振器(VCO)63を有し、クロック信号CLK'を位相検出回路31のD-FFのデータ入力端子にフィードバックしている。

##### (b) 動作

位相検出回路31はデータ信号DATAの立ち上がりにおけるクロック信号CLK'の位相と立ち下がりにおける

クロック信号CLK'の位相の平均位相に応じた位相検出信号PDSを出し、クロック信号発生部32は平均位相が零となるようにクロック信号を発生し、該クロックを位相検出回路にフィードバックする。以後、上記フィードバック制御が行われ、最終的に、データ信号DATAの立ち上がりにおけるクロック信号CLK'の遅れ位相量(あるいは進み位相量)とデータ信号DATAの立ち下がりにおけるクロック信号CLK'の進み位相量(あるいは遅れ位相量)が等しくなり、位相検出信号PDSの平均レベルはE<sub>H</sub>となる。このとき、クロックCLKはデータのセンターで発生している。すなわち、データ信号DATAのデューティが100%でなくてもクロックCLKをデータの中心で発生することができ、識別回路50におけるデータ識別を正確に行うことができる。

##### 【0037】(c) 第1変形例

図15はタイミング抽出回路の第1変形例であり、図14の実施例と同一部分には同一符号を付している。第1変形例はエッジ検出回路33を図4に示すエッジ検出回路で構成した例であり、41はデータ信号DATAを所定時間遅延する遅延回路、42は乗算器であり、データ信号DATAと遅延回路出力を乗算してデータ信号の立ち上がり及び立ち下がりでパルスを有するエッジ信号EGSを発生する。

##### 【0038】(d) 第2変形例

図16はタイミング抽出回路の第2変形例であり、図14の実施例と同一部分には同一符号を付している。第2変形例はエッジ検出回路33を図6に示すエッジ検出回路で構成した例であり、41はデータ信号DATAを所定時間遅延する遅延回路、43はEXOR回路であり、データ信号DATAと遅延回路出力との排他的論理演算を行ってデータ信号の立ち上がり及び立ち下がりでパルスを有するエッジ信号EGSを発生する。

##### 【0039】(e) 第3変形例

図17はタイミング抽出回路の第3変形例であり、図14の実施例と同一部分には同一符号を付している。第3変形例はエッジ検出回路33を図8に示すエッジ検出回路で構成した例であり、41はデータ信号DATAを所定時間遅延する遅延回路、44はミキサであり、データ信号DATAと遅延回路出力信号をミキシングし、これらデータ信号と遅延回路出力信号を乗算し、データ信号の立ち上がり及び立ち下がりでパルスを有するエッジ信号EGSを発生する。

##### 【0040】(f) 第4変形例

図18はタイミング抽出回路の第4変形例であり、図14の実施例と同一部分には同一符号を付している。第4変形例はエッジ検出回路33を図10に示すエッジ検出回路で構成した例であり、45はデータ信号DATAを微分する微分回路、46は全波整流回路で、微分回路の出力信号を全波整流してデータ信号の立ち上がり及び立ち下がりでパルスを有するエッジ信号EGSを発生す

る。

【0041】(g) 第5変形例

図19はタイミング抽出回路の第5変形例であり、図14の実施例と同一部分には同一符号を付している。第5変形例はエッジ検出回路33を図12に示すエッジ検出回路で構成した例であり、45aはデータ信号DATAを微分する微分回路を構成するスタブ(stub)、46は全波整流回路で、微分回路の出力信号を全波整流してデータ信号の立ち上がり及び立ち下がりでパルスを有するエッジ信号EGSを発生する。以上、本発明を実施例により説明したが、本発明は請求の範囲に記載した本発明の主旨に従い種々の変形が可能であり、本発明はこれらを排除するものではない。

【0042】

【発明の効果】以上本発明によれば、データ信号のエッジを検出するエッジ検出回路と1つのD型フリップフロップ(D-FF)で位相検出回路を構成し、該位相検出回路はデータ信号の立ち上がりと立ち下がりの両方における各クロック位相の平均位相を検出して出力するようにしたから、従来のように2つのD-FF間での位相調整が不要であり、しかも、簡単な回路構成で位相を検出することができる。特に、エッジ検出回路は、(1) 遅延回路と乗算器で、あるいは、(2) 遅延回路とEXOR回路で、あるいは、(3) 遅延回路とミキサで、あるいは、(4) 微分回路と全波整流回路で、あるいは、(5) スタブ構成の微分回路と全波整流回路で、簡単に実現でき、位相検出回路の回路規模を小さくできる。

【0043】また、本発明によれば、上記位相検出回路を有するPLLでタイミング抽出回路を構成したから、高速動作が可能で、しかも、データのデューティが変動してもデータのセンターでクロック信号を発生することができ、これにより、識別回路は最も識別余裕のあるデータの中央で該データを識別することができる。また、本発明によれば、位相検出回路の回路規模を小さくできるため、結果的にタイミング抽出回路の回路規模も小さくできる。

【図面の簡単な説明】

【図1】本発明の原理図(構成)である。

【図2】本発明の原理図(波形)である。

【図3】位相検出回路の構成図である。

【図4】位相検出回路におけるエッジ検出回路の第1実施例である。

【図5】図4の動作波形図である。

【図6】位相検出回路におけるエッジ検出回路の第2実施例である。

【図7】図6の動作波形図である。

【図8】位相検出回路におけるエッジ検出回路の第3実施例である。

【図9】ミキサの論理表である。

【図10】位相検出回路におけるエッジ検出回路の第4実施例である。

【図11】図10の動作波形図である。

【図12】微分回路をスタブで構成した第4実施例の変形例である。

【図13】図12の動作波形図である。

【図14】タイミング抽出回路の構成図である。

【図15】タイミング抽出回路の第1変形例である。

【図16】タイミング抽出回路の第2変形例である。

【図17】タイミング抽出回路の第3変形例である。

【図18】タイミング抽出回路の第4変形例である。

【図19】タイミング抽出回路の第5変形例である。

【図20】光受信機のブロック図である。

【図21】データ信号とクロックとの位相関係を示す図である。

【図22】従来の位相制御回路のブロック図である。

【図23】図22の動作波形図である。

【図24】従来のタイミング抽出回路の構成図である。

【図25】D-FFによる位相検出タイムチャートである。

【図26】デューティが100%の場合及び100%以外の場合のD-FFによる位相検出説明図である。

【図27】従来の別のタイミング抽出回路の構成図である。

【符号の説明】

30···タイミング抽出回路としてのPLL回路

31···位相検出回路

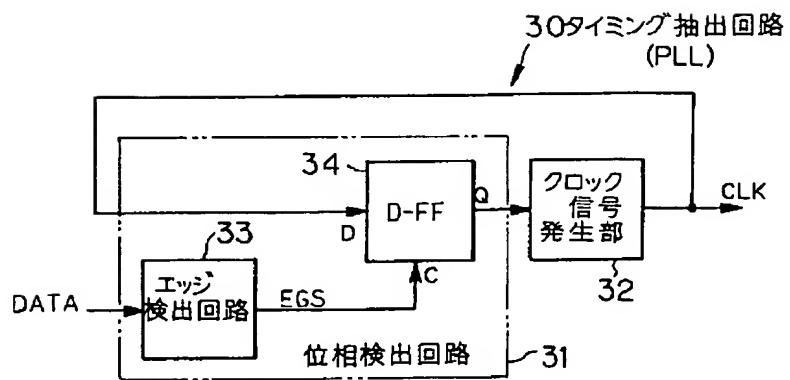
32···クロック信号発生部

33···エッジ検出回路

34···D型フリップフロップ(D-FF)

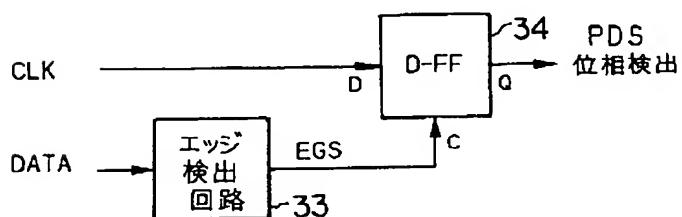
【図1】

## 本発明の原理図(構成)



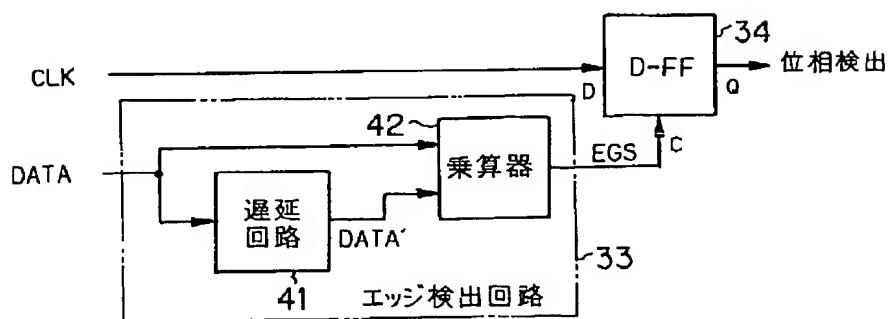
【図3】

## 位相検出回路の構成



【図4】

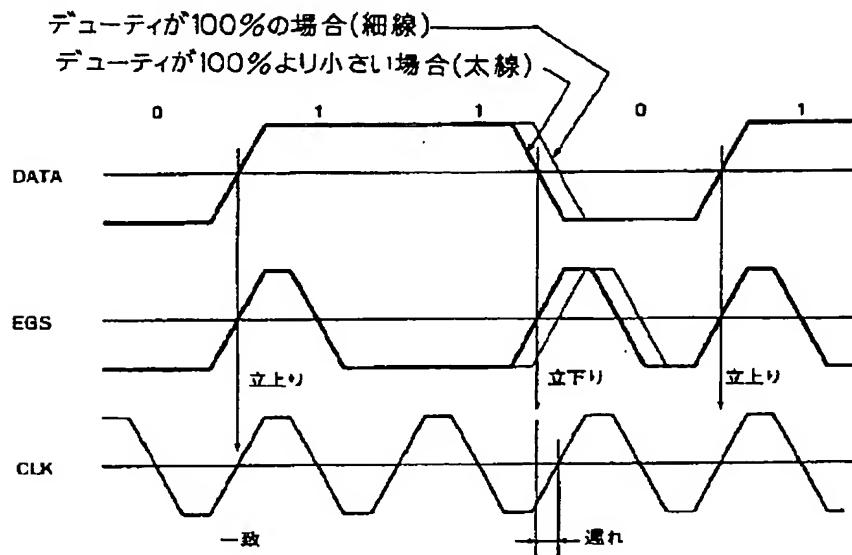
## 位相検出回路におけるエッジ検出回路の第1実施例



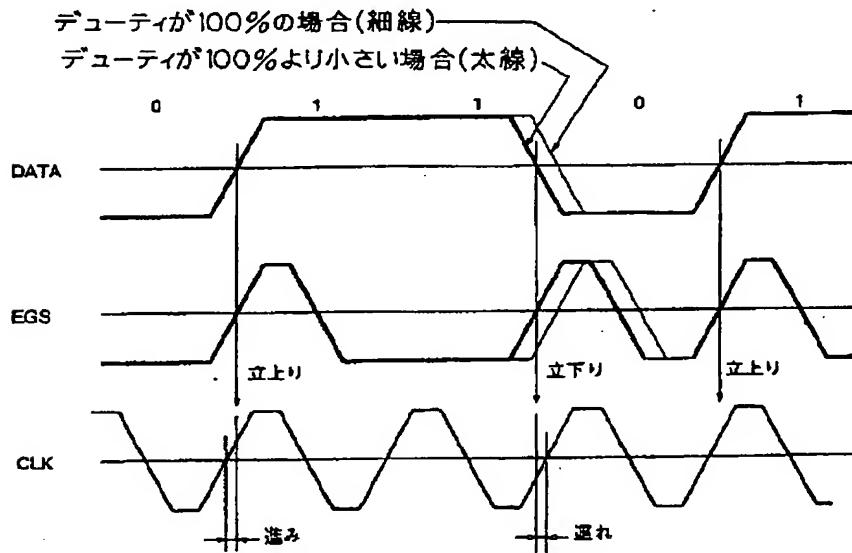
【図2】

## 本発明の原理図(波形)

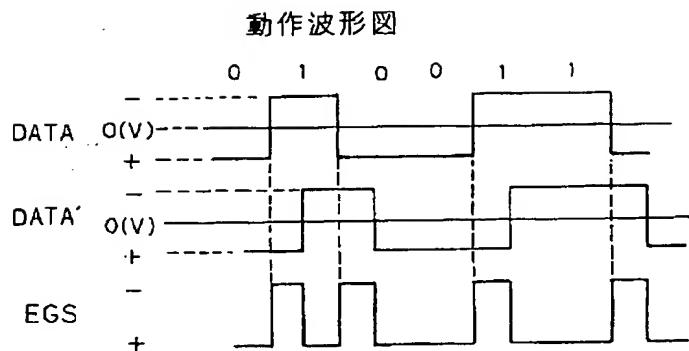
(a) 位相がずれている場合



(b) 位相が合っている場合

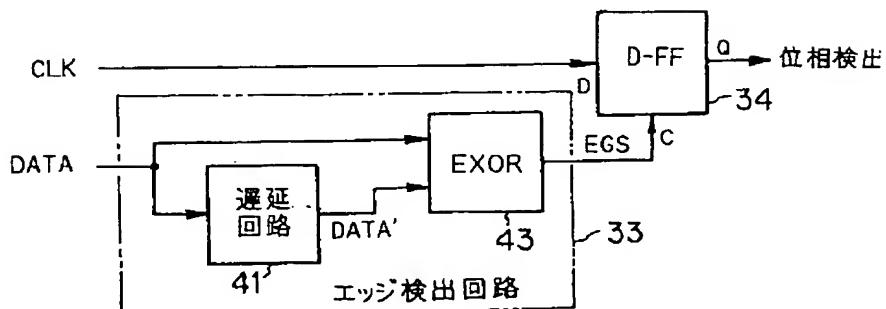


【図5】



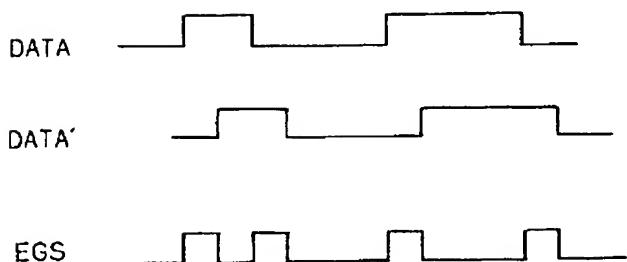
【図6】

## 位相検出回路におけるエッジ検出回路の第2実施例



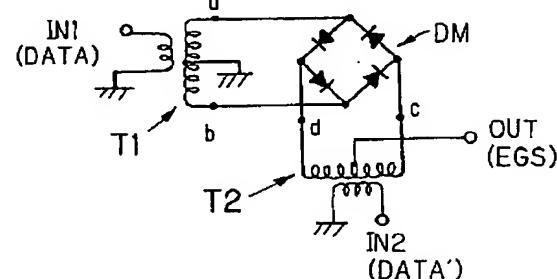
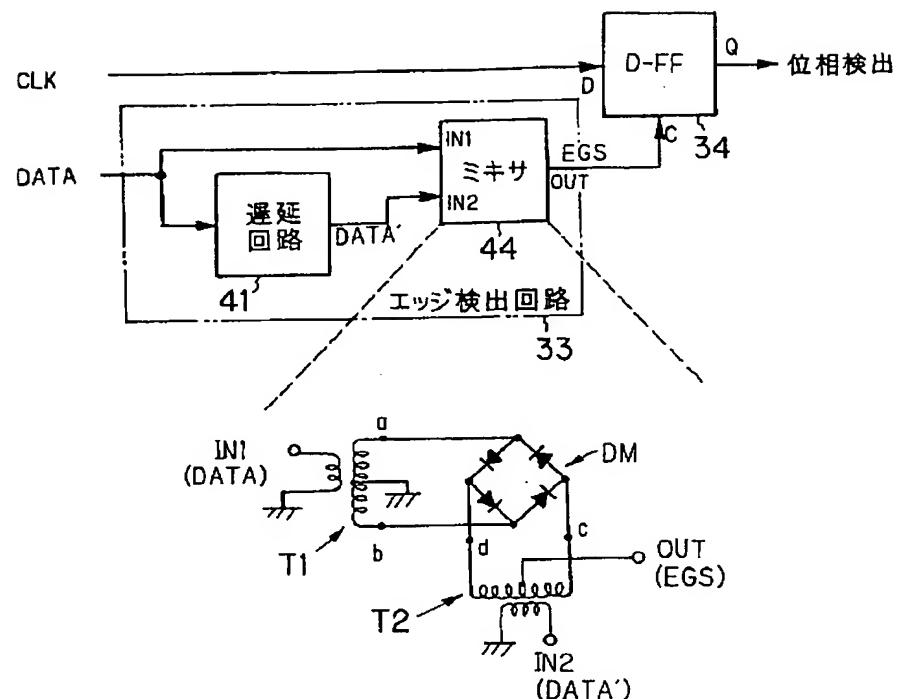
【図7】

## 動作波形図



【図8】

## 位相検出回路におけるエッジ検出回路の第3実施例



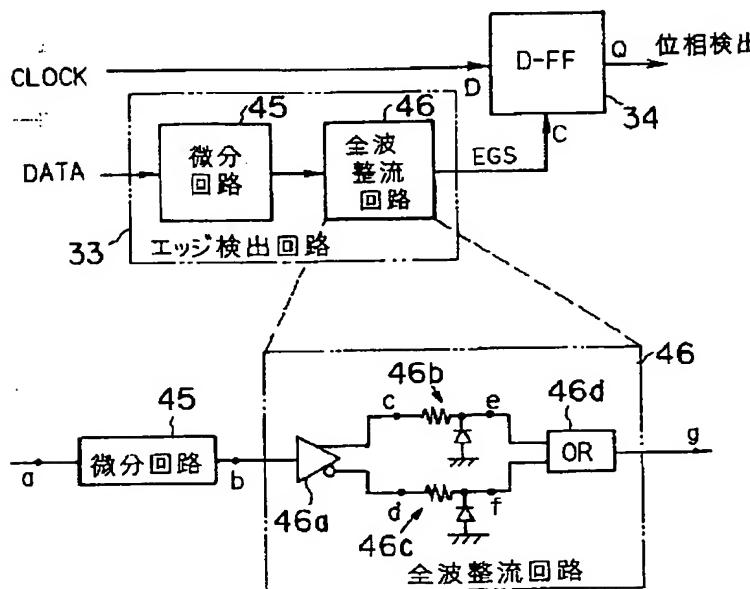
【図9】

## ミキサの論理表

IN1 (DATA)	IN2 (DATA')	a	b	c	d	OUT(EGS)
+	+	+	-	+	GND	+
+	-	+	-	-	GND	-
-	+	-	+	GND	-	-
-	-	-	+	GND	+	+

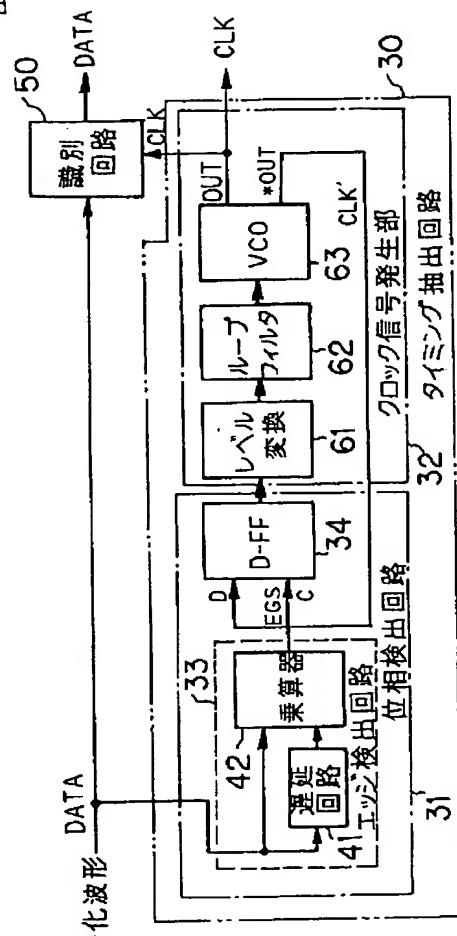
【図10】

位相検出回路におけるエッジ検出回路の第4実施例



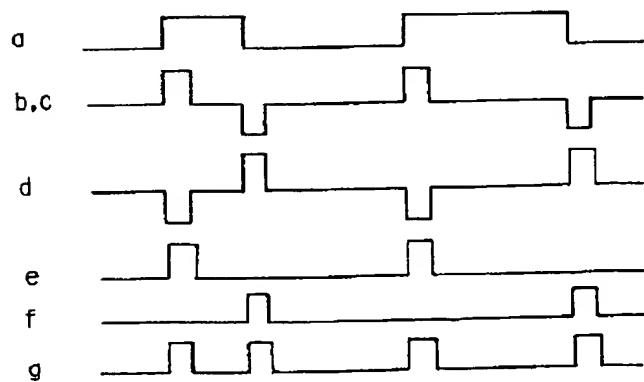
【図15】

タイミング抽出回路の第1変形例



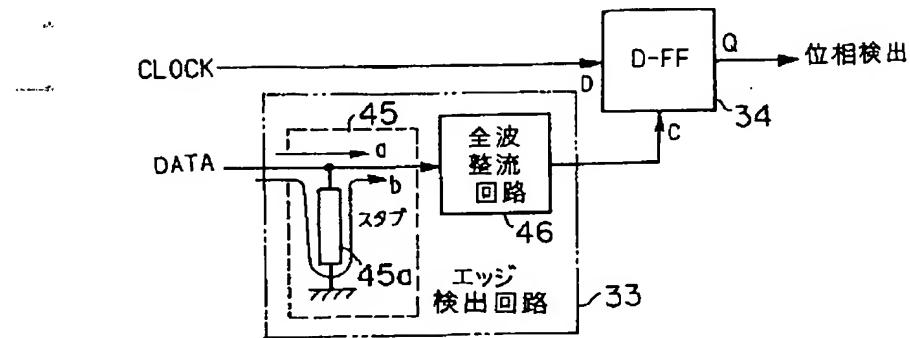
【図11】

動作波形図



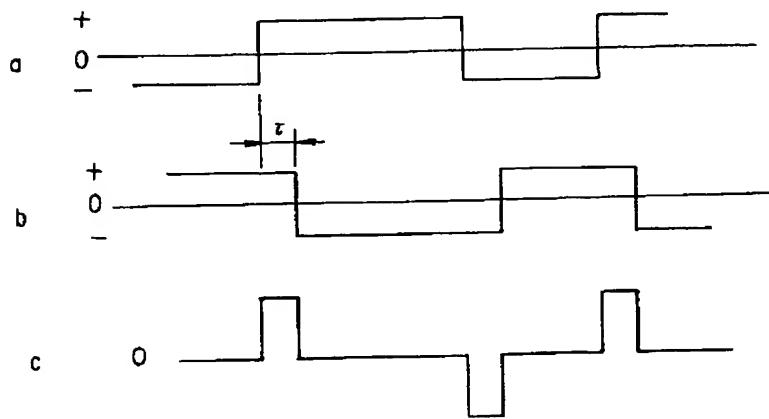
【図12】

微分回路をスタブで構成した第4実施例の変形例



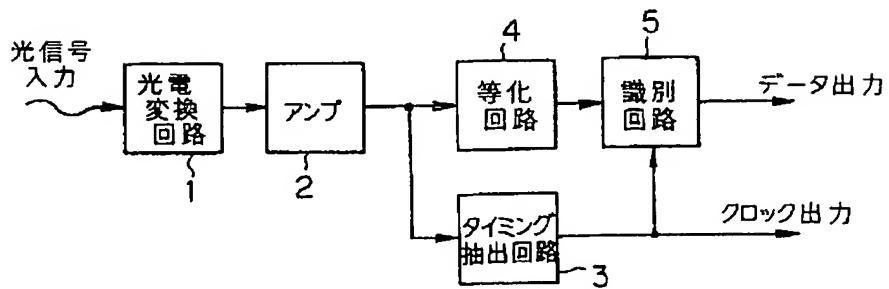
【図13】

動作波形図



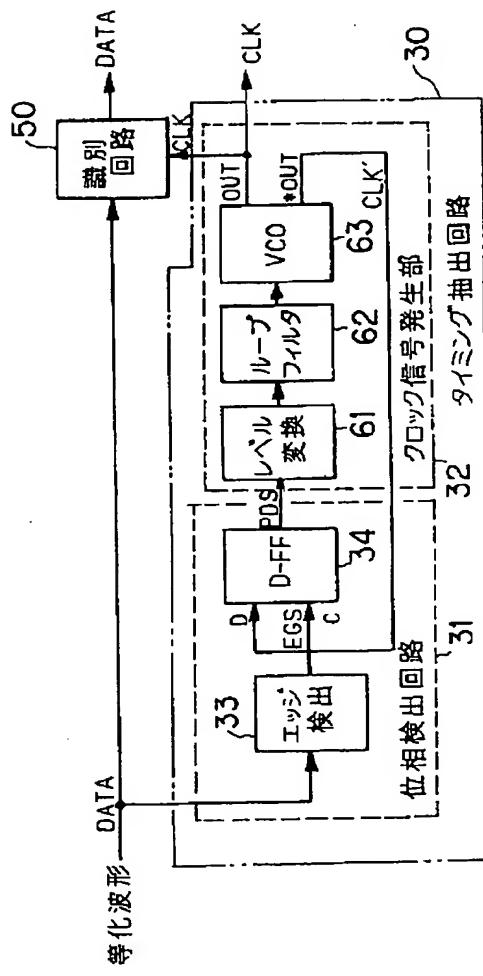
【図20】

光受信機のブロック図



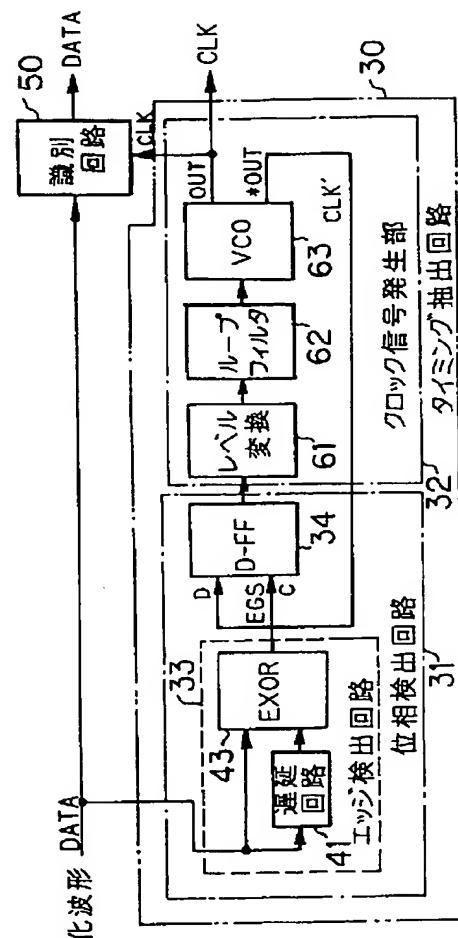
### 【図14】

## タイミング抽出回路の構成



【図16】

## タイミング抽出回路の第2変形例



【图21】

データ信号とクロックとの位相関係を示す図

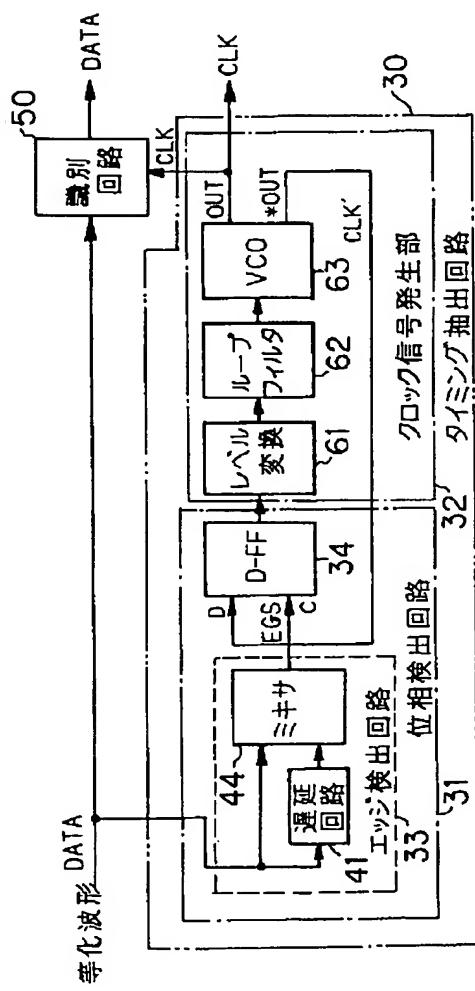
(a) データ信号 X DO X D1 X D2 X

(b) クロック

The timing diagram shows a single square wave signal labeled '(b) クロック' (Clock). The signal starts at a high level, transitions to a low level, and then returns to a high level. This represents a standard digital clock signal.

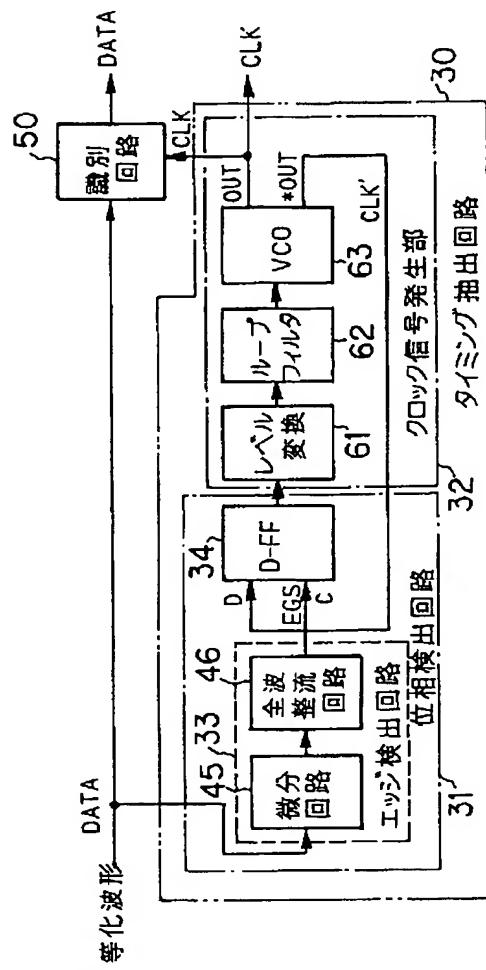
【図17】

タイミング抽出回路の第3変形例



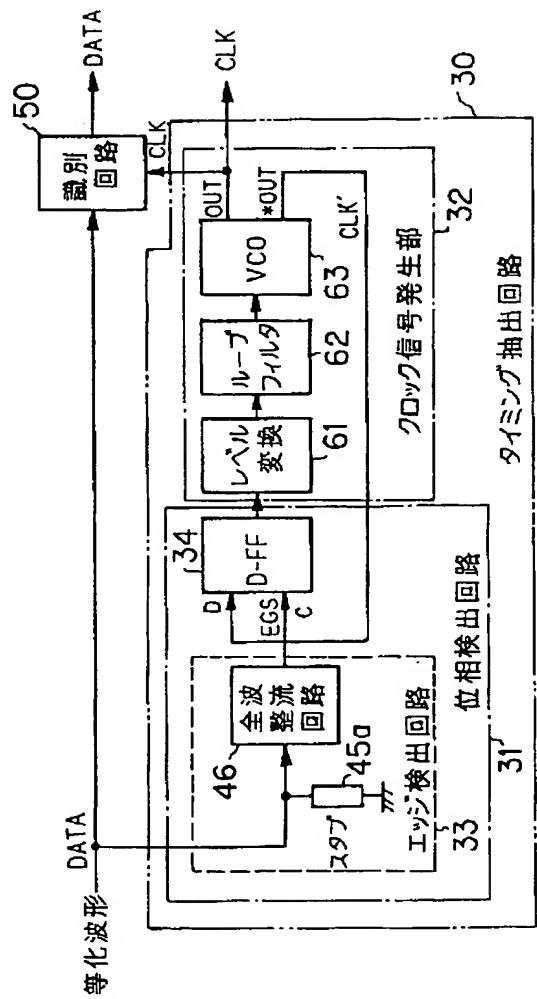
【図18】

タイミング抽出回路の第4変形例



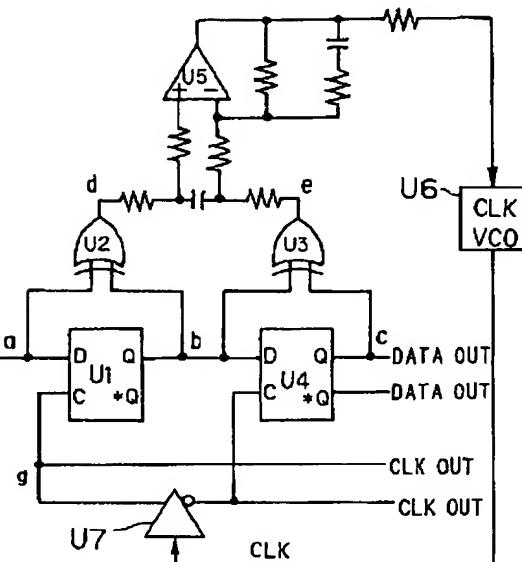
【図19】

タイミング抽出回路の第5変形例



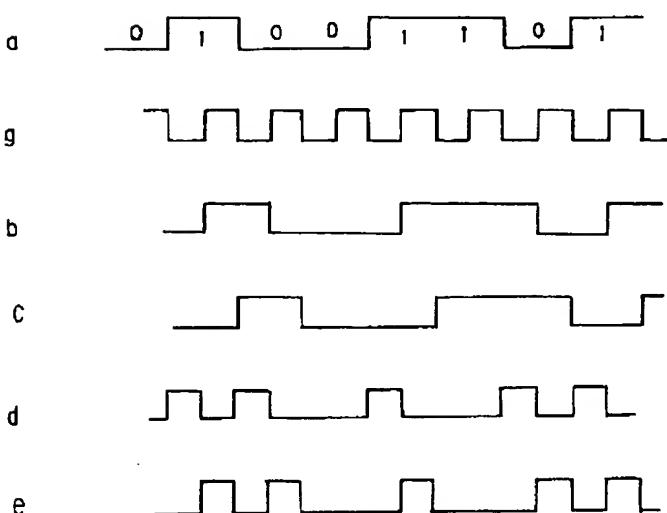
【図22】

従来の位相制御回路のブロック図



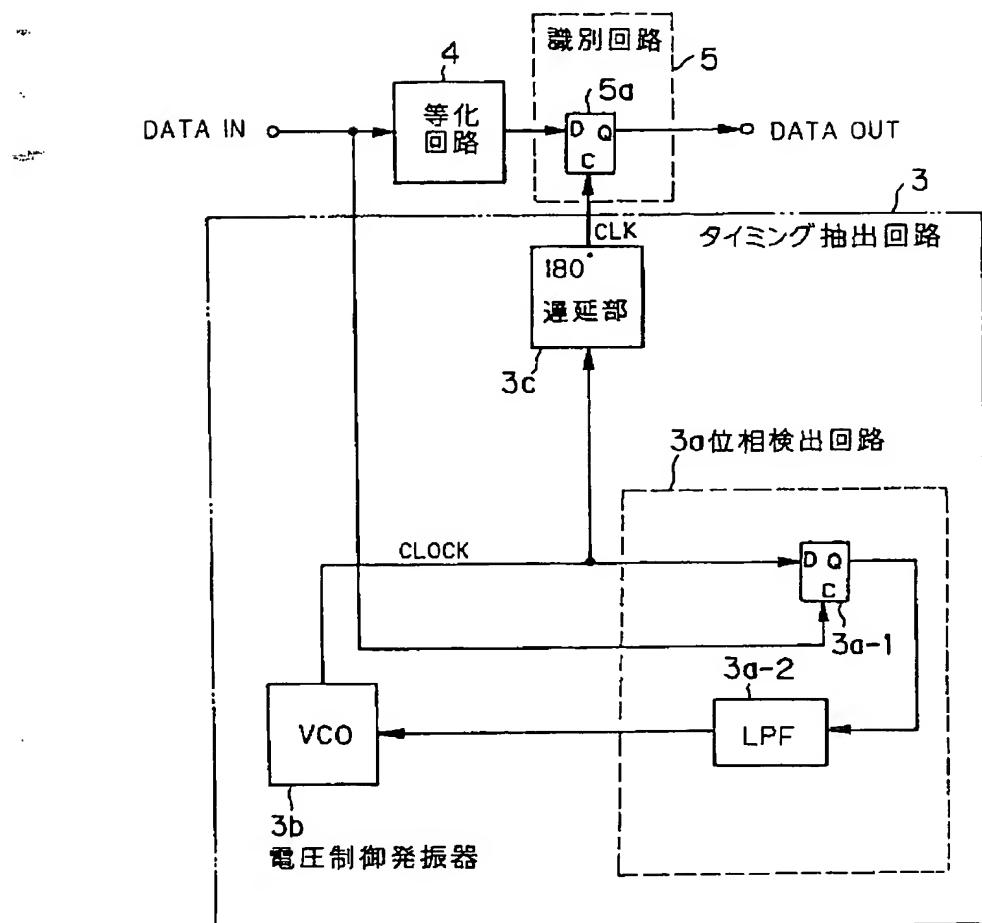
【図23】

動作波形図



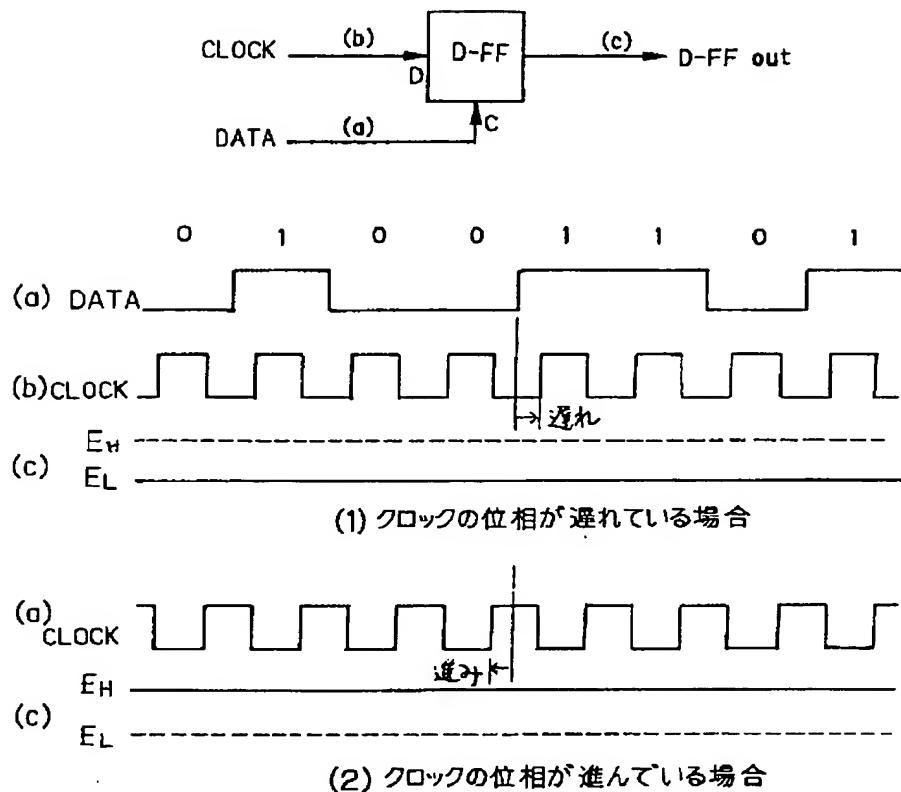
【図24】

従来のタイミング抽出回路の構成



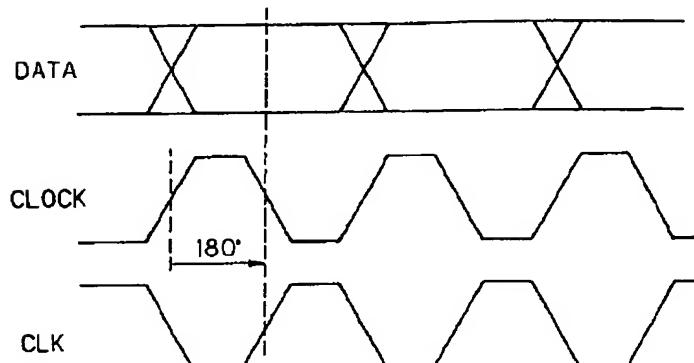
【図25】

D-FFによる位相検出のタイムチャート

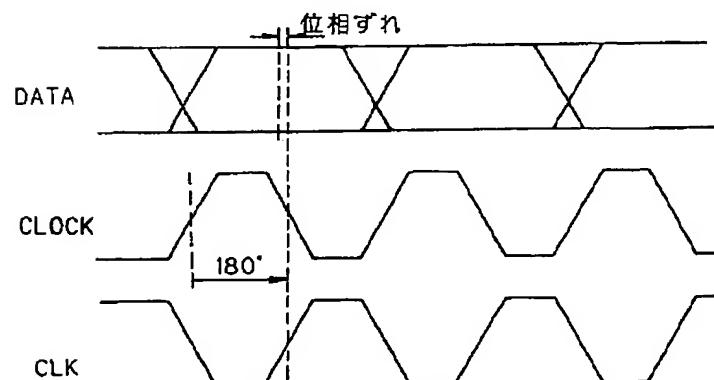


【図26】

D-FFによる位相検出でデューティがずれた場合



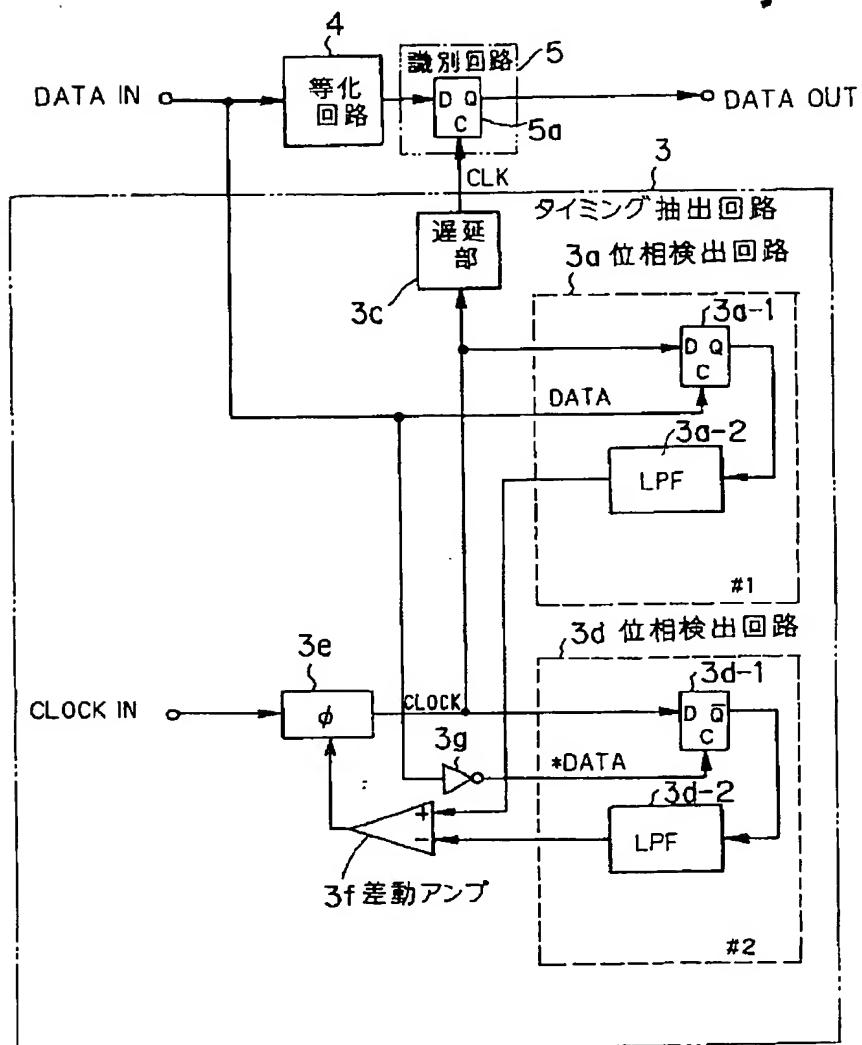
(1) デューティが100%の場合



(2) デューティが100%より小さい場合

【図27】

## 従来の別のタイミング抽出回路の構成



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.